

RAMBUS® 系統測試與量測指引

驗證、特性描述與除錯 Rambus 設計



Rambus 系統測試與量測指引

驗證、特性描述與除錯 Rambus 設計

目錄

第一章：介紹

測試與量測的關係

第二章：阻抗量測

概觀

Rambus 阻抗容許誤差

電路板阻抗量測

以 TDR 作 Rambus 阻抗量測

差動量測的差異性

TDR 在故障排除的考慮

摘要：Rambus 阻抗量測

第三章：信號量測

概觀

詳細的 RSL 信號與環境

Rambus 信號擷取

一些 Rambus RSL 量測範例

模擬訊號源強化 Rambus 設計和除錯效能

摘要：Rambus 信號量測

第四章：協定量測

概觀

邏輯分析儀能詳細觀看快速、複雜的 Rambus 協定

Rambus 隱密資料封包展示

讀取資料信號消失的實例

連接：多接腳而快速的連接方式

整合儀器不見得比單機設備要好

摘要：Rambus 協定量測

Rambus[®] Inc. 的訊息

A Message from Rambus[®] Inc.

現在的系統記憶體頻寬比過去任何時候都來得重要。隨著處理器效能、多媒體以及 3D 功能的大量增加，高頻寬記憶體已成為支持系統效能的必要因素。轉換成 Rambus DRAM (RDRAM[™]) 可以將效能提升至現有 SDRAM 技術的十倍以上。這項效能的重大進步必須在系統層級建立穩固的記憶體子系統。Rambus 與 Tektronix 等多家公司合作，提供系統特性分析與除錯工具，幫助 OEM 廠商迅速順利地建立以 RDRAM 為基礎的系統。

Rambus 的高速晶片對晶片介面稱為「Rambus 通道」，是在相對較窄的匯流排上傳送資料。Rambus 就是根據這種介面提供更高的記憶體系統效能。這種介面使用「Rambus 訊號傳送層級」(Rambus Signaling Levels, RSL) 差動信號，可以為目前任何的記憶體科技提供每一接腳的最高資料傳輸率。

相對於傳統的 DRAM 與 SDRAM 技術，Rambus 記憶體為系統設計師提供了更多主要的優點。首先就是原始速度。Rambus DRAM (RDRAM) 裝置以 400 MHz 的叢集式脈衝頻率而每一時脈周期將驅動兩次資料，支援每一資料接腳高達 800 Mbps 的傳輸率。利用 RDRAM 多通帶架構的匯流交連，產生極接近最大封包層級的真正可支援處理能力。

資料與時脈訊號長度相等、阻抗相符，使得實體設計更為簡單，更有效率。位址、控制及資料位元一起同步在 Rambus 通道上傳送，幾乎沒有接腳對接腳的時序歪斜，大幅減少時脈歪斜與可變訊號對訊號電容負載。Rambus 系統採用低電壓 (0.8 伏特) 擺動訊號和較少的資料線路，消除了大部分的切換雜訊。

整個 Rambus 通道就是一個系統。Rambus 已經為設計師解決了開發記憶體子系統 (記憶體控制器 ASICs、RDRAM 以及 Rambus 通道) 時出現的一切重大高速系統工程問題。設計師只要使用經過確認的 Rambus 元件與參考電路板設計，就能輕易實行 Rambus 系統。同時只要使用 Tektronix 提供的測試設備確認 Rambus 通道動作正常，即可組成系統。



第一章：介紹

操作(時序)速度是電腦技術的常數之一，目前這個常數仍不斷的向前推進。幾年前，66MHz 的個人電腦已經是如閃電般的快速；但在今天一般的桌上型電腦其運算速度已是這個頻率的數倍之多。一些關於微處理器的重要定律及周期性的時序倍增仍不斷的實現中。

由於 PC 的顯示介面愈來愈圖形化，再加上動畫及 3D 的需求更多，所以爲了增加這些視覺運算的效果，於是速度變成是這一切的基礎。視覺運算能夠刺激新遊戲、視訊應用、使用者介面可能性的開發，以確保市場上對於更快速 PC 的需求能夠持續成長。

對於速度的追求，我們往往把焦點放在微處理器上，但是 PC 上的記憶體系統性能在支援更新的視覺運算亦是相當重要的一環。目前 PC 記憶體架構的唯一依靠；是已商品化的動態隨機存取記憶體(DRAM)，它們對於處理大量資料如複雜且栩栩如生的動畫時，其能力已經不如微處理器，所以整個系統的性能便無法提升。

由 Rambus 公司所提出的創新 Rambus®通道記憶體架構正是這個缺陷的解決方案。這種記憶體架構的中心要點是使用平常的 DRAM 單元儲存資訊，但是在存取這些單元時所使用實際的、電氣和邏輯結構卻是全新的 Rambus 記憶體系統，而且速度遠遠超過傳統的 DRAM。直接 Rambus 裝置所提供的資料傳輸率高達每秒 1.6Gb，比目前使用的技術在每個接腳上資料傳輸率高出八倍多。

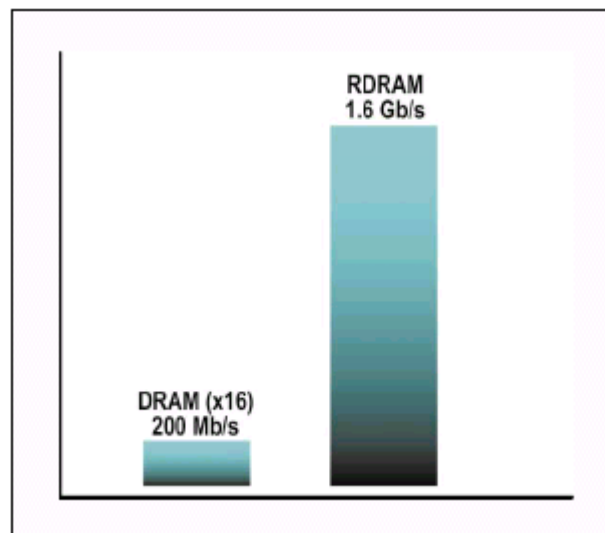


圖 1：Rambus 與典型的 SDRAM 資料傳輸率比較

當工程師在設計結合 Rambus 通道的記憶體系統時，由於是新技術所以會出現一些新的挑戰，這是在高頻時通常會出現的障礙，而這些障礙是不容忽視且關鍵性的問題：

1. 阻抗環境 (Impedance environment)
2. 實際電路佈局 (Physical circuit layout)
3. 數位信號的”類比”品質(The “analog” quality of digital signals)
4. 時序與同步 (Timing and synchronization)
5. 分散式影響 (Distributed effects)
6. 邏輯協定 (Logical protocols)
7. 以上的任一結合 (Any combination of the above!)

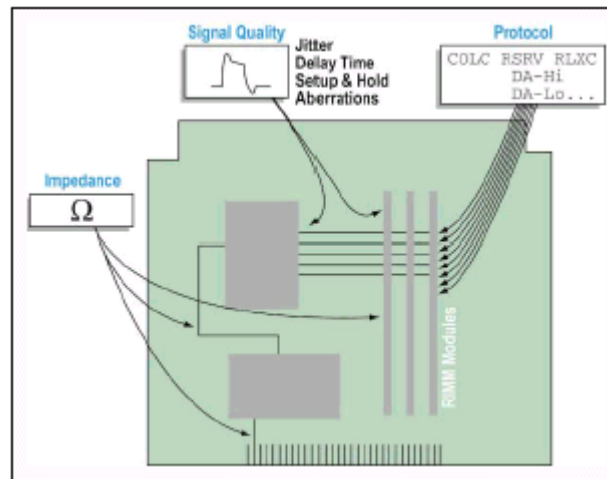


圖 2：Rambus 信號路徑和測量區

圖 2 概述在任何 Rambus 設計中必須考慮的一些”測試點”。Rambus 公司已公佈大部份要素的設計規則與執行參考。遵從這些指導方針並且在任何 Rambus 系統專案開始之初，便逐步進行驗證工作。

測試與量測的關連

因為 Rambus 的系統規格中包含了實體與邏輯層，所以為逐步發展並驗證新的設計，一些測試的策略就必須被要求。為了迎合現代積極之時間就是市場的時間表需求，選擇量測的方法、程序和工具變成不可或缺的因素以便能夠重覆而且快速的完成效能確認。從初步設計開始每一個步驟都是下一個步驟的基礎；利用阻抗的驗證，信號品質量測才能開始；這些測試完成，則在協定階層的除錯才能處理。最後，確認系統階層的設計能力才能處理工作的應用。



當使用正確的工具來做測試時，不僅得到正確的測試結果，更重要的是能夠節省計畫和執行有系統量測體系的時間。在設計 Rambus 記憶體系統之時可靠的儀器設備能夠節省工作時間，並且可以展示電路性能的詳細內容，這是利用次要工具所達不到的功能，另外量測結果容易了解與分析也是評估的重點之一。

設計人員不可或缺的 Rambus 量測成套工具組合包括高解析度的時域反射儀(TDR)、高頻寬(GHz)且多通道的示波器、和能夠提供大量通道、高擷取速率的邏輯分析儀，當然具有反組譯的介面與解譯複雜資料傳輸功能更是不可少。

這篇文章的重點將放在大部分比較迫切的 Rambus 設計問題，而且也會討論量測工具、技巧、和保證一個平順快速的發展過程對策。

第二章：阻抗量測

概觀：

因為 Rambus 通道的資料傳輸率達每秒 800M，所以它具有射頻信號的所有特性，在 Rambus 環境中反射與串音現象表現出空前的重要。欲成功地完成設計是必須一步一步的依附 Rambus 設計規則，而設計之初最重要的莫過於電路板阻抗規格。這個章節將討論任何有效支援 Rambus 系統設計的量測工具及程序。

當高速的信號沿著傳輸線移動時，若遇到阻抗的改變則會將能量反射回去(向著來源端)，這是一般眾所皆知的傳輸線理論，而反射能量的大小則依據原來傳輸能量及阻抗改變的大小而定。

由於 Rambus 電路具有相當高的速度，所以反射能量便能造成電路工作與否的差異性，考慮這個令人吃驚的現象：在一個很短的時間內，大約三個位元的資訊在來源與目的地間傳送(例如，記憶體控制 IC 與 RDRAM 之間)，然而在傳統的動態 RAM 電路，單一的”位元”(即能量代表是一個脈波)是單獨的沿著傳輸線在傳送，一直傳到它的目的地，而且在下一個位元出現之前，它的所有反射皆以消失無蹤，但在 Rambus 的世界中並非如此。

在 Rambus 的高速度中，當第一個位元碰到阻抗不匹配而發生任何反射時，第二及第三位元亦會跟著變化。一般的阻抗不匹配點是在信號進入一個連接器或是 IC 的接腳。反射會減少信號邊緣的上升時間進而造成時序誤差，也有可能造成故障發生。圖 3 描述一個脈波受反射影響而降低信號品質。

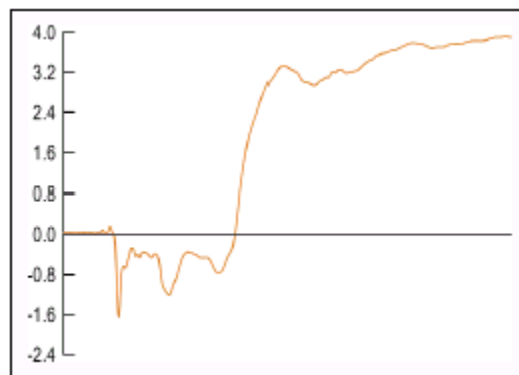


圖 3：反射導致脈波品質降低

所以在 Rambus 電路中維持最小阻抗變化是絕對需要的。幸運地，Rambus 的指導方針在這方面說明非常清楚而且容易理解。但是規格是嚴謹的，所以在設計電路時仍會有相當多的挑戰發生。

Rambus 的阻抗誤差

設計傳統的個人電腦主機板及記憶體系統，可接受的阻抗環境是在任何一點上都是 65Ω ，再加上 $\pm 15\%$ 的容許誤差，所以在設計的中心點兩邊皆有大約 10Ω 的容許誤差，對於电路板的加工誤差而言，這是相當合理的邊緣值，所以阻抗控制在這方面常常是被忽略的—在移交過程或品管時頂多注意線的寬度而已。

可是當設計的個人電腦主機板使用高速的 Rambus 元件時，它便與前述的阻抗環境完全不同。Rambus 裝置是設計操作在 28Ω 的阻抗環境中，由於關係到以上的說明，所以 Rambus 定義在所有的匯流排上包括電路、連接器、元件有 $\pm 10\%$ 的阻抗容許誤差存在，於是可接受的匯流排阻抗範圍為 25.2Ω 到 30.8Ω 。在這裏的重點是量測阻抗淨值必須在 $\pm 10\%$ 的誤差之內，包括沿著匯流排上每個點所造成不管是正或負的誤差影響皆須考慮在內。

一些製造商組裝個別的 Rambus 次要元件後再選擇測量產品(例如主機板、RIMM™模組、或連結 RIMM 模組)此時即使有嚴密的誤差去確認他們的產品並不是阻抗偏差的來源，但仍有可能驅動匯流排在相容值之外。許多的經銷商也選擇完成 100% 測試策略，雖然這並不是完全符合特定的 Rambus 需求。

圖 4 說明實際的 Rambus 主機板和 RIMMs(相當簡單化)及整個匯流排的阻抗誤差。

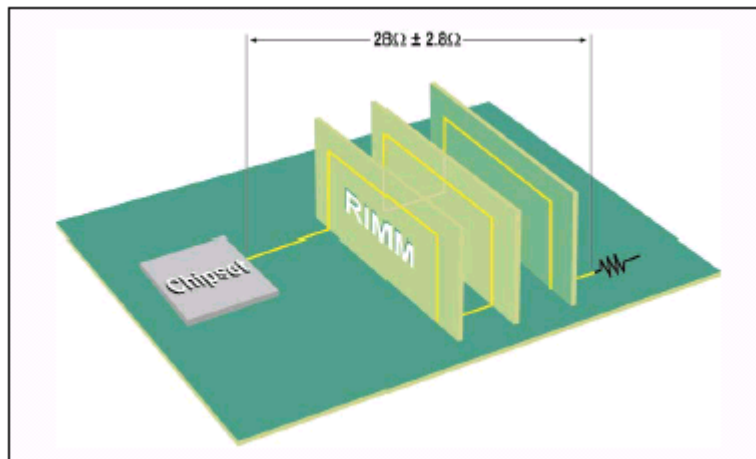


圖 4：在整個匯流排長度中 Rambus 的阻抗誤差是 $\pm 10\%$

電路板阻抗量測

匯合 Rambus 的 $28\Omega \pm 2.8\Omega$ 阻抗規格在設計的指導方針和組裝程序上必需嚴密管理。電介質的厚度和材料的特性、導線寬度、電鍍厚度...所有的這些變量也許還有更多來構成電路板的基本阻抗環境。關於詳細的電路佈局與蝕刻的處理在這份文件的後面會再作說明，但在這裏會提及一些電路板程序的暗示：

- 3D 領域解決者是精確的計算電路板和導線幾何圖形的平均值去符合 28Ω 的指導原則，專業解答者的結果通常是實際電路板最佳的特性預測。二者擇一地，從 Rambus 所提供有效的參考電路板設計，為你的電路板設計找到任何一個通道(方法)都是滿意的起始點。
- 與標準電路板量測結果作交互比對是必需的，以確認依附在材料與實際間的誤差。
- 一或更多的測試數據，建立適當的未來需要資料；能夠令人滿意的納入測試“程序單”中(樣品測試區)使連接到阻抗量測工具更容易。

更多可利用的設計資訊都在 Rambus 的全球資訊網站：

www.rambus.com

或是在 Intel® Developer's 全球資訊網站：

<http://developer.intel.com/design/chipsets/memory/rdrdram/>

利用 TDR 作 Rambus 阻抗量測

電路板的阻抗量測工業標準工具當然首推時域反射儀(Time Domain Reflectometer；TDR)。TDR 能夠提供不同的範圍和能力，所以必須選擇符合 Rambus 應用需求的解決方案，以下是一些針對 Rambus 阻抗量測時一般的 TDR 功能特色：

- 能夠解析短導線長度(<4mm)，連接器及 IC 接腳介面等等。
- 快速系統上升時間(<35ps)及高頻寬。
- 差動測量能力。

TDR 在執行量測時是將一已知的脈波送入傳輸媒體中(電路板上的導線或是差動對的導線)

並且擷取所反射回來的波形當做測試結果。該儀器設備可計算 ρ (入射信號能量的反射率)並且使用這些相關參數計算阻抗值並以歐姆為顯示單位。TDR 的核心是一個非常高頻寬(20GHz)取樣示波器加上具有內建快速上升時間步級波產生器的取樣頭。



圖 5：實際的高解析度 TDR 設備

就整體而言，TDR 的測量結果不只是由电路板的線路本身構成而已，這個設備尚可“看見”它自己本身內部電阻所造成的影響，諸如連接待測物與 TDR 的電纜、探棒所造成的影響等等... 每個媒介物對於脈波反射均有一定的“特徵”。此外，大部份的 TDR 是設計滿足 50Ω 阻抗環境。

爲了防止這些錯誤產生和證明 Rambus 線路 28Ω 的本質，所以使用已知的標準阻抗作預先設備校正是必須的工作。目前大部份的阻抗標準是使用“Air line”；它有 15 公分長度和相當準確的 28Ω 阻抗特性。圖 6 顯示 TDR 測量這類裝置時的量測結果。

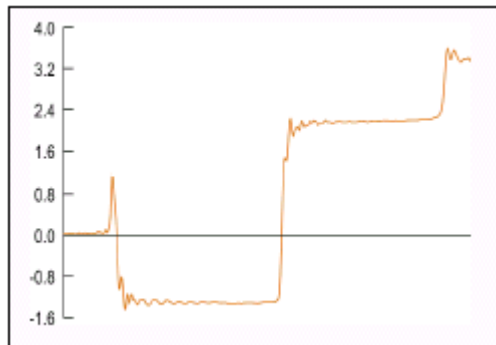


圖 6：TDR 測量 28Ω 的標準阻抗

另有一種準確度較低但可接受的替代方法是使用兩個成對的 50Ω “airlines”(再一次重申；

至少 15 公分長度)作並聯連接，可得到等效阻抗為 $25\ \Omega$ 。

利用進階 TDR 提供的自動化能力，使 TDR 本身能夠作簡單明確的預先校正測量，這個校正結果能夠當做一個位移值。假如，舉例而言如果測試一個標準 $28\ \Omega$ 阻抗，結果測量值為 $26.5\ \Omega$ 則 $1.5\ \Omega$ 的”差異”值便被列入以後測量時的重要參考因素。

在設定實際的電路板阻抗量測時，探接方法是另一個重要的考量因素，尤其是在密集高速的 Rambus 電路區域中想要穩定可靠地握住 TDR 探棒是相當困難，然而探棒連接是否完善卻是必須注意，探棒的接地點必須非常接近信號點以獲得最佳的測量結果，當然探棒頂端的連接必須是非常確實。在這些區域中的任何妥協方案將不可避免地造成 TDR 的讀數不正確。圖 7A 和 7B 對照出在”妥協”探接方法與可靠的探接方式所獲得結果。

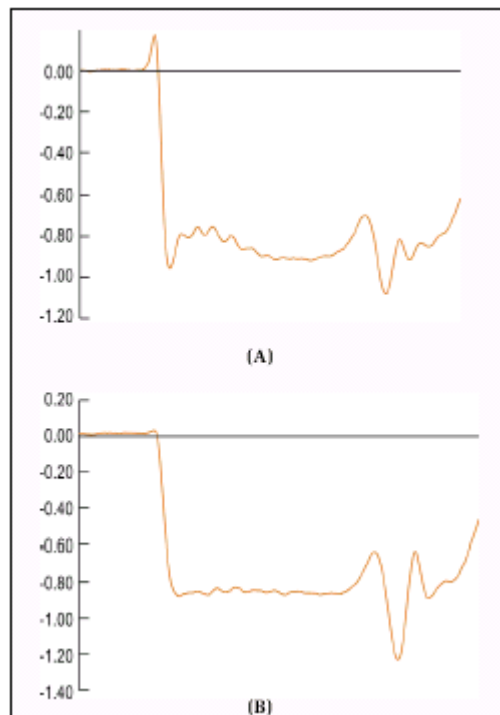


圖 7：(A)粗略的探接方法所得結果；(B)適當的探接方法所得結果

有一種解決方式是利用”假的”RIMM 模組，然後將全部的普通探棒省略並且將輸出連接頭固定在這片模組之上。於是這片模組變成探棒，提供可重覆性、低損失路徑直接連接到 TDR 的取樣頭上。這個方法的優點是能夠提供簡單方式去連接單邊的 Rambus 資料及控制線或是差動時序線，並且更能提供在任何場合下可靠確實的接地連接。

另外一些特殊設計的微探棒也有助於 TDR 的量測應用，這種探棒結構實際上可提供非常出色的量測結果，雖然它比目前可選擇利用的探接方式成本來得高。

任何校正與連接的用意，是 TDR 本身必須具有傳送不妥協結果的能力，目前最佳的 TDR 能夠提供 35ps 系統上升時間及 20GHz 頻寬，這些參數確保完全的、快速上升(猝發)的脈波和降至最小的反射效應。當應用至完全控制的測試方法論時，TDR 的這些規格將能處理 Rambus 的需求而不會影響它的性能表現。

差動量測的差異性

根據以上所提，Rambus 400MHz 匯流排時序信號是來自 Rambus 通道的最遠一邊沿著平行的差動線路在模組中作傳送，而不同於資料和控制線信號發生是從 Rambus ASIC 單元(RAC)進入 RIMM 的模組中。它成對的線路是穿過 RAC 後回到終端器上構成一個迴圈。圖 8 描述這個電路結構。

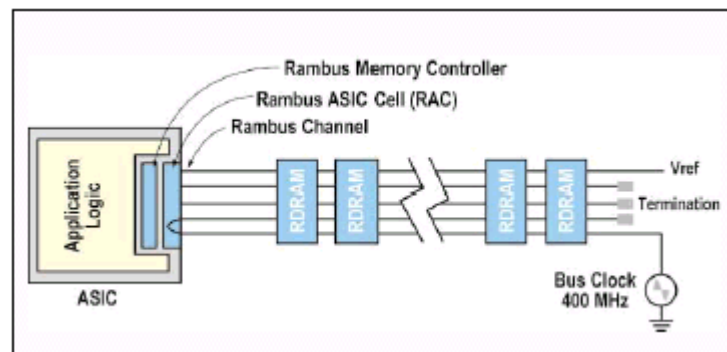


圖 8：Rambus 信號路徑

從程序的觀點來看，差動測量就像是單端的一假如 TDR 容許它。TDR 必須能夠執行差動的探接方法及量測並且計算它的結果。

若試圖做差動對的個別量測，則容易引起令人誤解的結果。所謂的差動對代表的是兩條線路非常接近，此時會有讀取到比它們成對時之特性阻抗更低阻抗的傾向。假如這些資料是使用在引導電路板製造處理時，則結果可能造成時序信號線之電壓減少及時序邊緣降低---顯然地這是不能接受的。

因此最佳的 TDR 解決方案是利用固有的差動方式；差動探接方式能產生有效的、有意義的接近 Rambus 裝置工作時的背景相關連的量測結果。圖 9 是 TDR 差動量測的範例。

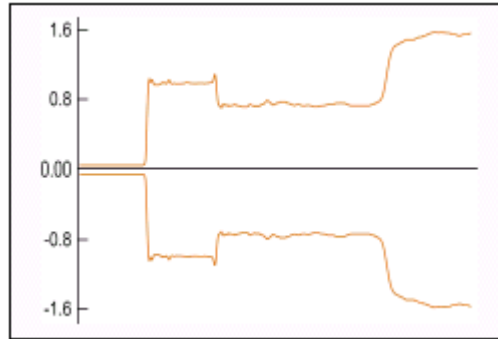


圖 9：28Ω 差動 Rambus 阻抗量測

TDR 在故障排除的考慮

TDR 在進行阻抗量測時是非常有效的工具，另外它也是有助於在設計及稍後生產步驟中有力的故障排除工具。

TDR 精巧的一個優點在於它提供猝發之後，它是被動的測試環境，在重要裝配零件獲得以前，TDR 能夠測試一個電路板，這個電路板是”空的”；沒有任何零件及電源加入，並且這片板子也不需要能在功能檢測時能夠”工作”，然而 TDR 可以測量和甚至幫助穩定和控制電路板製造的變量及一些組合參數。

在設計過程中的故障排除階段，TDR 的性能表現層次和能力可以取得成功的電路設計。當儀器設備具有高頻寬及系統上升時間達 35ps 的等級時，則可識別的電路板特性便可低於 3.5mm 長度，而且可觀察到起因於線路不完美、連接器、焊墊、或其他介面所造成的個別影響。

當探接在電路板的邊緣連接器時，TDR 故障排除技術已經被證明可以幫助處理沿著線路的極小區域誤差(或線路兩端上的任一點)。電路板線路上的缺陷在 TDR 的顯示幕上表現出”凸起”或”凹下”的曲線，即使電路板是被覆著阻焊劑(綠漆)或是一些其他的絕緣體。在 TDR 顯示幕上的凸起位置與實際電路板發生問題的位置是有相互關係，假如用手指(或是很小的物品假如需要的話；一些用戶利用未連接示波器的探棒)接觸線路，則在 TDR 的顯示幕上可看出造成一個凸起的曲線，當你移動手指接近到發生問題的位置時，兩個凸起的地方將會非常接近，使用這個技巧，便可以快速地找到發生問題的位置。

總結：Rambus 阻抗量測



在任何 Rambus 設計專案中，阻抗量測是必須的初始步驟。Rambus 通道是設計操作在 28 Ω 阻抗中；其他的阻抗值都會有信號反射間接造成電壓和時序邊緣誤差。

時域反射儀(TDR)是實用與準確的阻抗量測技術基礎設備，當完成 28 Ω 環境阻抗的校正後，TDR 能夠在最短時間及代價完成設計和故障排除針對新的 Rambus 電路設計。

第三章：信號量測

概觀

一個成功的Rambus系統的核心設計產生出純淨、良好控制的訊號並不令人驚訝。Rambus通道以高速、晶片對晶片介面為基礎，能夠以400MHz差動時脈，在每個時脈的上升或下降緣傳輸資料。Rambus的資料、時脈和控制線的邏輯準位為 800 mV必須符合非常嚴格的時序要求。有一些”類比”特性構成Rambus訊號準位RSL(Rambus Signaling Level)環境，加上獨特的Rambus邏輯協定(logical protocol)會造成使用傳統量測工具及觸發方式很難抓取混合時脈及資料的有意義訊息。

詳細的RSL信號與環境

典型的Rambus 通道由30個經控制、為搭配傳輸線的阻抗所構成，包括：

- 兩個9位元寬的資料匯流排
- 一個3位元寬的列(ROW)匯流排
- 一個5位元寬的行(COL)匯流排
- ClockToMaster和ClockFromMaster差動時脈匯流排

在設計Rambus 通道結構中，Rambus工程師歷經長時間在維持卓越的信號品質及傳輸特性上。這通道結構利用了精密控制的終端阻抗，低電壓訊號，主動電流控制，高封裝密度和其他隨處可見的創新科技。

上述必要元件於 Rambus 公司網站 (www.rambus.com) 及 Intel Developer's 網站 (developer.intel.com/ial/home/sp/-index.htm)，有逐項詳細說明

再次回到圖八簡化的Rambus記憶體系統圖，實際結構在線的一端包括記憶體控制器，在另一端則有終端阻抗，而 RDRAMs則在其中。Rambus ASIC Cell(RAC)做為低電壓Rambus訊號環境與標準CMOS邏輯準位介面，普遍存在於大部份邏輯裝置型式。能看不正常波形，且終能以你的能力完成一個可靠的Rambus設計。

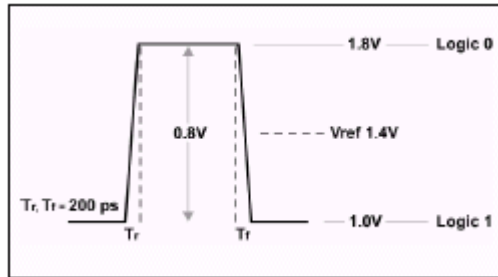


圖10：理想的Rambus信號特性

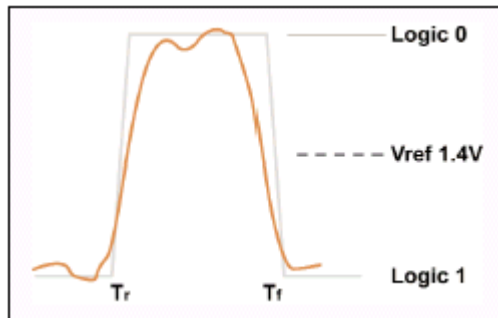


圖11：觀察到的Rambus信號特性

Rambus 信號擷取

基本訊號取得的基礎工具不用說就是示波器；而爲了Rambus 量測而選擇示波器時，需把數個因素加入考慮：



圖12：Tektronix TDS694C示波器

示波器必須具有處理快速Rambus訊號的基本效能

顯然地，示波器需要可以處理400MHz時脈訊號的頻寬。當許多經濟型的示波器自誇有500MHz頻寬時，請記住這規格實際參考3 dB 轉折點。若用一個屬於本等級的儀器(當嘗試詳細看邊緣轉態的程度)觀察 400MHz RSL訊號，則在顯示訊號振幅時可能導致重大錯誤，因此建議用2 GHz或3 GHz頻寬的儀器來描繪 Rambus 的應用。

如果數位化的示波器是用來擷取快速邊緣、暫態和單擊時間事件時，過度取樣(Oversampling)是需要的，而有些儀器擴大頻寬能力，但可能缺乏取樣頻率速度，最好的解決方案是選擇同時在所有通道有3至5倍過度取樣率的示波器，尤其是當同時有數個輸入時要抓取詳細訊號或非週期短時脈衝波。

同樣重要的，在儀器探針端的效能應與示波器本身的輸入端一樣，圖13 從一電路經歷間歇性的衰退去描述一個Rambus時脈波形；注意這脈衝幾乎被分成兩半，從中間波形急降至幾乎到Vref準位，於是電路可能將一個脈衝當成兩個脈衝，造成電路會有間歇性的故障發生。在量測開始之初，示波器的頻寬及取樣率便能區別出擷取是否正確。

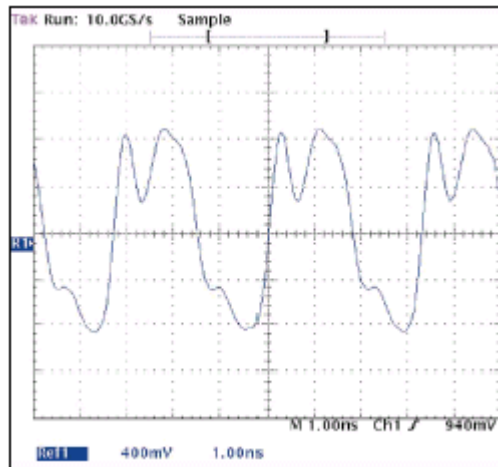


圖13：Rambus時序波形，表現出振幅誤差

示波器應具可從外部邏輯分析儀觸發之介面，在量測複雜裝置和電路時這是一個非常有價值功能。

示波器必須有一個非常精確的時序系統和一個低抖動觸發系統

以目前技術所發展的儀器能具有一個精確度為10ppm及8ps的觸發抖動規範。這裏有數個與準確度有關的重要規格：

觸發抖動 (Trigger Jitter) 規範，定義了由待測元件本身的抖動及示波器觸發系統所加上的抖動數量，本文件稍後將解釋，它只適用於重複擷取的抖動量測方式，並不適用於單擊抖動的量測方式，做抖動量測用傳統柱狀統計圖技術是非常重要的。

Delta時間精確 (Delta Time Accuracy) 規範，決定單擊時脈量測時，量測值與實際值接近程度。Delta 時間產生量化之重複性及解析度規範，它定義了從預期值中最嚴重的峰值誤差，在示波器中Delta時間由數個因素決定，包括取樣間隔、時基精確度、量化錯誤、插入錯誤、垂直放大雜訊及取樣時脈抖動，每一個因素均會成為Delta時間量測精確度中時序錯誤的原因。

目前最高等級示波器均具有Delta時間精確度達15ps的特性，這是一個在最壞狀況下所定的規範，決定在許多輸入條件下且依輸入應用而定，這些儀器能實際量測非常小的錯誤，圖18顯示一個超過10000週期的時脈波形量測，它顯示了<1.5 ps RMS的抖動和<11 ps波峰錯誤。

重複性 (Repeatability) 規範決定重複量測時彼此接近程度，重複性非常重要但無法獨立出來，例如：有一儀器總是量測出11 ns的時脈值，而它持續時間(duration)實際是10 ns，顯然它的重複性是非常好，但精確度則不足，因此好的重複性必須與高精確度結合。

解析度 (Resolution) 規範儀器所能“感知”的最小的量測增量，例如：儀器對一個實際值為10ns時間，量測出10.0001ns的時間值，它的解析度為1ps和重複性一樣，解析度規範被包含在Delta時間精確度規範內。

示波器的探測解析度對待測元件，必須全面性的增加儀器效能

在Rambus環境中探測是一種挑戰，RSL訊號在有直流補償的低訊號準位下操作，不像其它一般的邏輯電路位準，RSL邏輯的“0”並不在低電位，而是在兩個直流值中較正的。

示波器探針對於訊號必須呈現非常低的負載效應，且當在最高頻率運作時它必須能減少直流成分，傳統被動式探針無法完成這工作，所以對探測Rambus訊號較好的解法方案是用主動式(FET buffered)探針，因為它在測試時不會折衷系統效能。

Rambus 時脈訊號具有快速、低電壓、真實差動訊號。在探測這種環境時唯一可接受的解

解決方案是使用具有高CMRR的高速差動探針，另有量測捷徑是使用二個示波器通道和標準探針來量測差動訊號，但是不適用於Rambus速度。一個有60 dB CMRR和適當的頻寬的差動探針對Rambus的量測作業是一個令人滿意的解決方案。探針的實際尺寸同樣是令人關切的，Rambus電路被作成非常貼近电路板的線路密集封裝SMD裝置，因此用手動探測時，探針尖端須能夠適用於元件及線路間的小空間，而探針至电路板的轉接器，在製作安裝於原型电路板及匯流排裝置的可靠連接是非常有價值。



圖14：小型的差動探棒(Tektronix P6248外觀)適合高速Rambus需求

爲了生產力的因素，示波器應該簡化日常Rambus量測

去量測訊號上升、下降、設定及保持時間和抖動或其他，幾乎是所有Rambus設計專題的一課，很清楚的，自動去完成例行測試是令人期待的，許多數位化示波器爲了這些及其他測試，具有預先程式化程序的能力。

示波器應提供許多觸發選擇和條件

在許多例子中，特別的觸發(例如：狀態、Runt或脈波寬度觸發)是抓取不規則麻煩事件的唯一方法。例如：一個狹窄、不頻繁暫態可能很難用一般的邊緣觸發，但是使用脈波寬度觸發設定(示波器可被設定成當發現短於正常脈波產生時觸發)卻可輕易去分辨。

一些Rambus RSL的量測範例

上述說明用一般術語討論了 Rambus RSL 訊號量測需求，下一步將檢視一些特殊的量測

且可看到儀器效能如何影響其結果。

在 Rambus 中設定和保持時間規範是非常嚴格的，圖15是改編自 Rambus RDRAM資料表 (Rambus文件 DL0059)，顯示CFM時脈與其有關的有效資料脈衝之間的關係。在最小的指定週期時間(2.5ns)， t_s (設定時間)和 t_H (保持時間)每個只有200ps！雖然這是一個極端的例子，但是 Rambus 設定及保持時間範圍從低的幾奈秒至只有幾百ps是很普遍的，由於 Rambus 訊號管線時脈性質，只有經由單擊才能抓取有效的資料--由於這個強制的因而產生最快速的示波器需求。

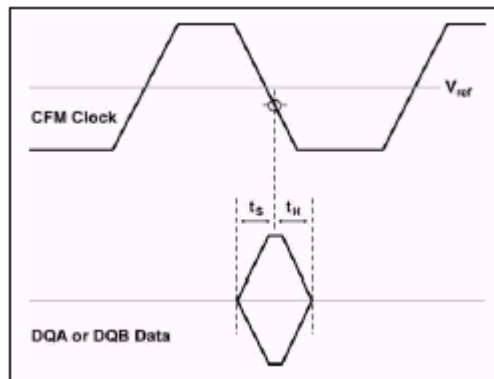


圖15：Rambus RSL 時脈對資料設定時間的定義

有兩個方法去完成設定時間量測。首先，也是最普遍的方法是游標量測法，這方法需要兩個工作在Rambus速度的示波器輸入，很重要的一點，要選擇不會因額外的輸入連結而犧牲取樣率的示波器，且在量測起始時間值在低奈秒範圍甚至更低時，同樣必須能細心對連接到時脈及資料線的探針做歪斜補償，即使是在探針間的一個小的延遲誤差均會得到無效的量測結果，所以歪斜補償夾具是去等化延遲誤差最好的方法。

當歪斜補償完成，量測程序便以一個穩定、正向的探棒連接做開始。而為了擷取高頻、低電壓的Rambus RSL訊號而不要有額外的誤差，可能需要用焊接式探棒轉接器。

為了擷取及觀看高速的Rambus時脈及資料訊號，示波器的最高即時取樣率通常會被使用，圖16的取樣率(自動地)被設定到10GS/s且資料訊號擷取動作已經觸發。

注意：如果示波器缺乏適當的即時取樣率可以嘗試使用相等時間(Equivalent Time；ET)擷取技術。無論如何，因為示波器本身的觸發抖動必定會增加錯誤在時間量測中，此外，ET取樣對非重覆訊號是無法使用的。

最後步驟，是將游標定位在交叉點上，通常在相關波緣轉態的50%處，示波器應自動顯示讀出時間，在圖例中，設定時間為1.42ns，這是使用”傳統”程序所完成設定時間的量測。

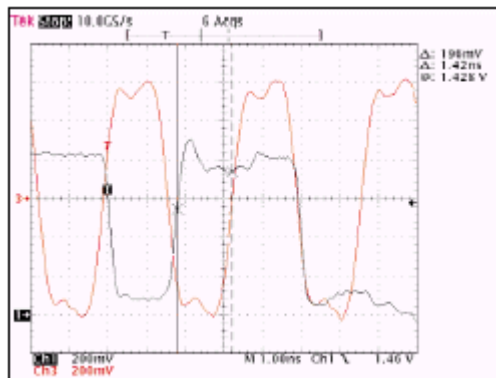


圖16：以游標為主的設定時間量測方法

第二種設定時間量測選擇最近才出現。這是一種以軟體為基礎的方法，像前述的程序，是使用單次擷取的資訊作量測；而這個方法是能在每一個有效波緣量測時序，從一筆到數千個有週期價值時序和資料轉態記錄，它也能提供從時間量測行為有意義統計分析，且允許你去關聯指定的時序波緣到它相關的資料轉態點。圖17顯示使用Tektronix TDS 694C示波器的一個設定時間量測結果，注意分析超過119次重要的時序關係。

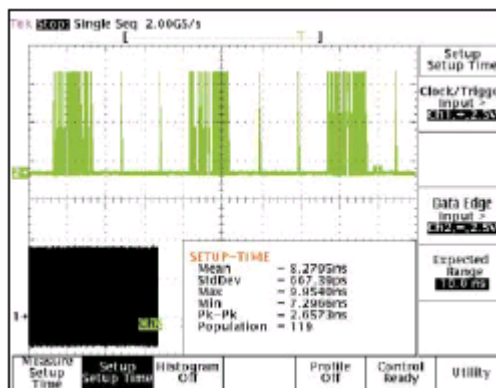


圖17：自動的設定時間量測結果

過多的時脈抖動會減少在Rambus電路中已很狹小的時序界限，於Rambus環境中量測抖動量對示波器本身的重複性、解析度、取樣間隔精確度甚至其本身觸發系統的抖動均是一大挑戰。

如同設定及保持時間的量測，這有數個方法來進行抖動測試，抖動不是絕對的數值，簡單的盯著螢幕並不是一個有用的方法，因為抖動本來就是一個固定的統計值，所有的量測方法均會產生數值統計結果—如峰值、平均值、標準差等等。

首先，最簡單的方法是在高速的Rambus電路中不可能產生可理解的結果，但它對於決定電路抖動是否超過整體的忍受值則很有用。許多示波器能自動執行週期性的量測平均值讀出及標準差，經設定完成後，可提供關於抖動在電路上的統計資訊，同樣的執行週期量測以及應用最大最小函數可產生抖動峰值的數值。

很多先進的示波器具有內建的柱狀圖功能。柱狀圖技術要和平均時間擷取及即時擷取一起作用，雖然使用平均時間擷取會造成精確度的損失。柱狀圖由面板前的按鈕或操作清單所起動，可自動從現在正顯示的波形中讀出平均、峰對峰和標準差結果。

第三種也是最有效的抖動量測技術是像上述的設定時間測試，是一種從許多波形周期中單次擷取的軟體基礎分析。圖18由Tektronix TDS 694C示波器，描述一個300MHz Rambus CFM時脈，在這裏可看出分析11000個周期後的結果，得到峰對峰週期抖動小於71ps，很容易達到Rambus通道100ps峰對峰要求之內。

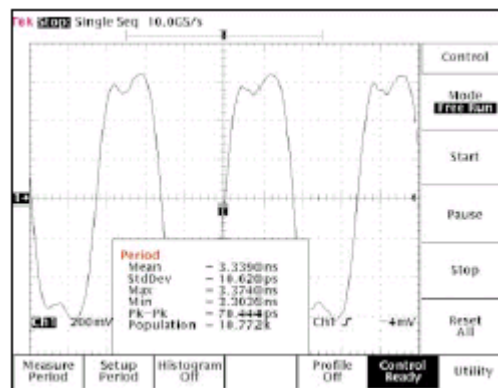


圖18：Rambus時脈抖動量測使用軟體為主的分析工具

另一個Rambus抖動量測：不論是直接於面板上的功能或是一個複雜的軟體設定，這個解決方案，必須能做許多種類的抖動擷取：如週期對週期(Cycle-to-cycle)、輸入工作週期(Duty cycle)、調變頻率、抖動超過一到六週期、或更多的量測項目。

除了抖動之外，還有其他統計上固有的電路問題，因此很難去找以統計的方式去特性化訊號行為，因此能具備更多資料點是需要的，具有即時明暗階層顯示的數位螢光示波器(Digital Phosphor Oscilloscope, DPO)，在這方面就顯得功能強大，一些DPO能在每秒取得200,000波形，可大大增加統計可信度及更易辨認出間斷錯誤發生點。

模擬訊號源強化 Rambus 設計和除錯效能

一直到目前，大部份我們的討論均集中在Rambus的量測，但當新系統的發展，問題是由於元件及匯流排數量成長的交互作用而產生，則容忍度要增大，接地跳動(ground bounce)現象會出現，訊號品質降低，此時它便很難去指出是在電路上的那一元件所造成。

我們已經討論過了，量測設定/保持時間及抖動，但當有太多抖動時要如何解決呢？抖動是徵兆，是什麼造成這種徵兆呢？其他潛在的問題從不適當的時脈和資料波形的對稱到傳輸線上過多的雜訊皆有可能造成。

外部資料和時脈產生器—訊號源—能加強量測工具如示波器和邏輯分析儀在解決設計問題的能力。它們能幫助找出似乎沒有清楚來源問題的根源，這過程是一種訊號替代及錯誤隔離。

只要在Rambus環境中，有高頻資料產生就必須具有額外的效能，每秒1Gb/s的資料率是符合Rambus通道的資料率求，此外它必須能提供具有波緣上升時間 $\leq 150\text{ps}$ 的超低抖動訊號(最好 $< 30\text{ps}$)，為了完成某種壓力測試，資料產生器必須產生寬範圍的訊號振幅—大概 0.25Vp-p 到 2.5Vp-p 。可程式化的通道到通道延遲和補償過的輸出對普遍存在於Rambus結構中的差動訊號線是有用的。以下是一些利用高效能訊號源的應用：

- **測試設計容忍度**

即使是可運作的設計也有它的極限，至於那些是它們的極限？去確認那些設計提供了足夠的容忍度以應付不定的製造程序，在高速電路中的其他共同問題是時脈訊號路徑的終端和裝置AC參數容許誤差值的建立。

用專屬的信號源，系統元件能被太快、太慢、太大、太多雜音等等的訊號作個別驅動。

- **時脈替代**

記憶體存取失敗有許多原因，其中之一是設定和保持時間有過大的抖動，藉著外部低抖動的時脈源輸入於RDRAM中，或許可以做到“區隔並克服”電路問題。

圖19是Tektronix DG2040資料產生器的輸出抖動特性圖，只有 12.170ps 的抖動，和圖18的(70.444ps)比較，顯然這型的資料產生器足以做Rambus時脈的替代源。

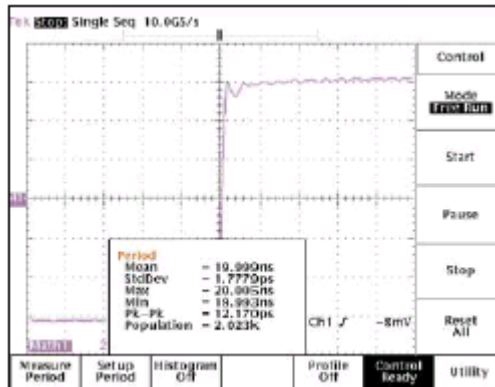


圖19：從外部資料產生器所產生的低抖動信號，
可做為Rambus除錯階段時的時脈替代源

一個具有方程式化補償輸出的外部時脈能提供成對的訊號去評價在Clock To Master(CTM)和Clock To Master(CFM)和被引用Vref的對稱性。

- **去除接地跳動(Ground Bounce)和暫態(Transients)的影響**

全面性對多通道Rambus系統做即時匯流排存取，會牽引出一股大的電流，造成接地跳動和由CTM訊號線感應可能的電壓暫態。

外部時脈源通常比內建時脈能提供較大的電流源和吸收電容，這額外的輸出能力對波形變形提供較大的阻抗，允許設計者去驗證較完美時脈在電路上的效應。

摘要：Rambus 信號量測

由於Rambus系統設計發展，工程師必須努力專注於維持已公開的Rambus規範的訊號品質和時序關係。有一些必須遵守的需求，如：Rambus資料率、訊號準位和傳輸線環境，對於符合頻寬、時序精確度和探測能力的量測工具是沒有可犧牲的。

幸運地，有新一代量測的解決方案，對於訊號的擷取、分析和壓力測試，提供了史無前例的詳細應用。

第四章：協定量測

概觀

開始 Rambus 電路設計專題的功能除錯階段時，你在阻抗、訊號品質及時序量測所做的準備工作會使你取得成功，這些先前的步驟對高速的Rambus裝置提供收送資料時的最佳操作環境。但那些執行本身就是很複雜，Rambus協定對慣於使用傳統DRAM設計的設計人員呈現出新的挑戰，爲了趕上上市的時程，使用具有Rambus探棒轉接器的邏輯分析儀檢驗Rambus在協定層動作狀態是需要的。

邏輯分析儀的協定追蹤，可利用使用者可讀取的字母與數字格式帶出記憶體系統內部詳細功能。在顯示幕上，Rambus操作例如REFRESH或WRITE動作出現在它們的實際並有助於記憶的形式，隨著資料傳輸的十六進制內容，立即新的Rambus電路設計是能夠傳送、接收、和訊號的反應，邏輯分析儀變成是協定分析的基礎在：

- 資料量
- 更新的操作
- 區塊管理
- 電源管理
- 匯流排協定潛在因素
- 記憶體控制器潛在因素
- Rambus訊號階層(RSL)校正...

和更多。此外，邏輯分析儀對一般在除錯和解決系統整合課題上是非常有價值，它的狀態顯示提供一個有用的，以訊號波形行爲爲基礎的概觀在二進制狀態的前後關係上，這個觀點是更詳細訊號擷取的基石，本文件稍後會討論到。

邏輯分析儀能詳細觀看快速、複雜的Rambus協定

邏輯分析儀能詳細觀看快速、複雜的Rambus協定，就好像它有多重探棒及輸入且能在複雜的邏輯條件下做觸發及能儲存大量被擷取到的資料，邏輯分析儀以單擊擷取匯流排詳細的運作。當然，包括了Rambus資料率和訊號特性置於邏輯分析儀確實需求處。

爲了處理Rambus量測需求，邏輯分析儀必須很快—但多快？乍看之下，現今最好的邏輯分

析儀具有200MHz最大同步時脈極限，可能遠少於Rambus通道的800MHz資料傳輸需求。但資料傳輸率(頻率)和資料頻寬(在GB/s)的區分才是這裏的關鍵。只要邏輯分析儀有足夠的擷取資料頻寬去取得所需的資料和特定匯流排的協定，有關時脈速度的挑戰能很容易藉特殊匯流排探棒轉接器被處理。

上述所提到200MHz同步擷取能力的邏輯分析儀實際上有每秒3.4Gb擷取資料頻寬能力—很容易處理最高達每秒1.6Gb資料率的Rambus資料。事實上，同樣的儀器藉著模組的擴充就足以擷取協定訊號(另外的每秒800MB)和同步訊號(另外的每秒200MB)在同一時間像擷取資料那樣，某些邏輯分析儀能被組態至達到更高的資料頻寬。

實際上，當探棒轉接器執行實體到邏輯即時轉換時，被邏輯分析儀所擷取的資料是很有用的，因為所有的資料和協定資訊都在Rambus通道上，於8個時脈傳輸完畢。這會以一種頻寬為100MHz的形式遞送資料8次，簡單的說，高速同步匯流排需要邏輯分析儀的頻寬而不只是它的用MHz的同步時脈。



圖20：邏輯分析儀每秒3.4Gb擷取資料頻寬大於Rambus每秒1.6Gb資料傳輸需求

Rambus 隱密資料封包展示

在Rambus運作時的適當分析，擷取資料頻寬是重要的，但它絕不是唯一被需要的特性。

在Rambus通道的協定訊號對最大的資料產出有它們要滿足的結構，不是人們直接可理解的，資料流經由8資料傳輸的封包所構成，ROW封包由24位元組成(每次3位元，8次)；COLUMN封包由40位元的資料所組成(每次5位元，8次)，DATA封包緊跟著COLUMN封包作某種動作，包含144位元(每次18位元，8次，包括同位元)ROW、COLUMN、和DATA封包是相互獨立的，

個別的匯流排操作使用這些封包形態的不同組合，甚至相同形態的封包在相似的時脈範圍下也不會全排成一排，換言之，須動態調整時脈以達最佳效能，緊接的封包，在一個具優先權的封包完成後，能起始一個任意數量的時脈週期。圖21顯示 Rambus 管線結構。

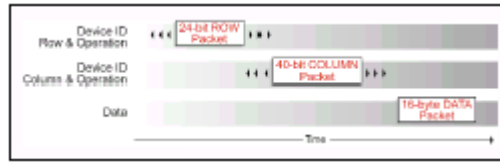


圖21：Rambus管線結構

ROW 和 COLUMN封包控制不同的運作：裝置、列、行選擇、列作用、讀寫控制、更新、電源管理及其他。由於訊號”猝發”的特性，僅簡單的用邏輯分析儀探測匯流排及看看結果幾乎是無意義的。

爲了有用，邏輯分析儀和 Rambus 探棒轉接器必須從猝發訊號重建邏輯封包且用可瞭解的記憶術及邏輯群組方式顯示，圖22圖示這種觀念。

一種做重建的方法是擷取資料後用分解軟體來事後處理資料。不幸的，這方法對設計人員去觸發協定本身沒有幫助，只是唯一用來確定資料被擷取在邏輯匯流排活動的本文中發生時間。

一個更有效率的方法來做重建，即在探棒轉接器硬體中即時實作，使封包即時非序列化 and 動態排列，使用者能定義觸發狀態使用代表邏輯操作本身的文法，這比嘗試去形式上解釋實際匯流排秘密猝發格式簡單。

上方圖形描述固有的ROWR封包Rambus資料配線(ROWR是一ROW封包的一指定等級)明顯的，在下面非序列化封包是較易於閱讀和了解的，非序列化單元是以一般數字格式散佈在正確的LSB。

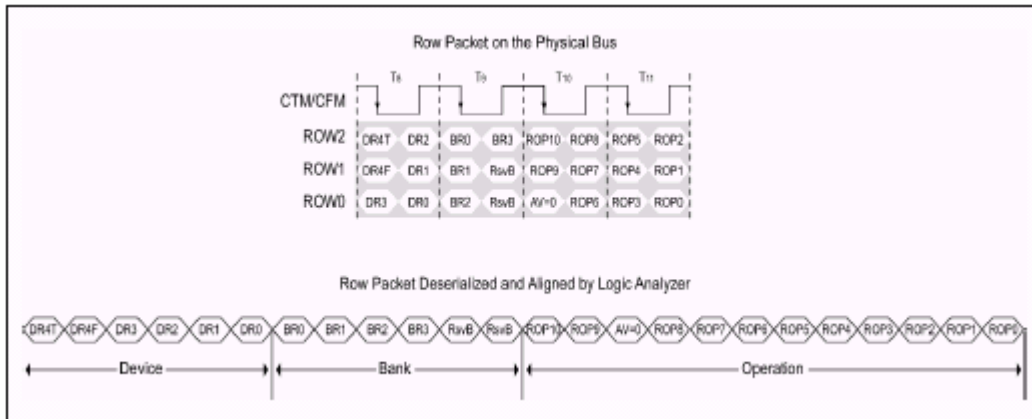


圖22：實際對非序列化Rambus ROWR封包

對邏輯分析儀做有意義的觸發，即時非序列化和動態排列封包是很重要的，缺少這兩個動作，儀器會不能有效觸發因為它沒有辦法去驗證每1250 ps資料，更不用說驗證每一個猝發傳輸和每一個可能的封包排列組合。

例如，當除錯時，它通常有用的去擷取資料那寫進一個特別的RDRAM位置，這樣做，需要被驗證——那就是，觸發——指定組合的裝置，記憶插槽和運作區域及資料本身。使用者可能需要用一組存取相同指定DRAM裝置的ROW和COLUMN封包去觸發，藉即時重組封包，邏輯分析儀能用一ROW及一指定之COLUMN，當觸發啟動出現的資料，就是被儲存在有興趣的事件中。

非序列化的邏輯封包對儲存品質同樣有用的，使用者可能想要只儲存一指定裝置ROW或COLUMN或去儲存起始指定運作的封包，較易了解的非序列化封包加快分析指定等級的作業。

在任何給定的執行動作中，用邏輯分析儀所擷取到的資訊是一個完整的邏輯封包。當仍在擷取每個單一詳細的邏輯活動，非序列化簡化資料佈局。圖23是一邏輯分析儀螢幕，展示非序列化結果。

Transaction	Command	Address	Data	Timestamp
99845	PREP_ATTN	00	0A	56.305,850,560 ns
99846	PREP_ATTN	0E	00	56.305,854,000 ns
99847	ACT	00	244	56.305,850,560 ns
99848	---	---	---	56.305,854,000 ns
99849	ACT	0E	252	56.305,917,000 ns
99850	---	---	---	56.305,950,560 ns
99851	PREP_ATTN	0F	00	56.305,944,000 ns
99852	PREP_ATTN	0F	0F	56.305,957,000 ns
99853	---	---	---	56.305,970,560 ns
99854	ACT	0F	73F	56.305,957,560 ns
99855	---	---	---	56.307,010,560 ns
99856	---	---	---	56.307,024,000 ns
99857	---	---	---	56.307,037,560 ns
99858	---	---	---	56.307,051,000 ns
99859	PREP_ATTN	0F	0F	56.307,258,000 ns

圖23：非序列化Rambus執行動作

讀取資料信號消失的實例

RSL(Rambus 訊號階層)邏輯被使用在所有高速 Rambus 0訊號，它使用一個低電壓振幅在一個很小心控制的低阻抗傳輸線，訊號路徑被很小心的調校經由單端的終端電阻，以最佳化訊號品質和功率消耗，在一般的運作中，資料無法使用傳統擷取技術簡單的被看到。

看圖24來了解為什麼資料和控制訊號 (ROW 和 COLUMN) 是平行終結(Vterm)在傳輸線上(相對的記憶體控制器 / 晶片組)，線另一端有效的被在晶片組中的Rambus ASIC細胞終結，藉串列輸出阻抗。當匯流排是反向讀取資料時，則終結的形式便消失了，因此當RDRAM在讀取操作時去傳送一個資料訊號，則在該匯流排上的訊號可在一端得到完全的終結(圖24的右邊)和在另一端得到非常高的阻抗(圖24的左邊)。

在這裏有一個需要注意的地方，就是RDRAM在匯流排上是同時”驅動兩個路徑”，也就是說它是驅動兩個並聯的28Ω阻抗，結果變成它是14Ω的環境—不是其他Rambus信號線上28Ω的阻抗特性，於是DATA訊號在匯流排上以一半的振幅傳送，在這種情況下DATA線的動作狀態是可以接受的，而且電路的設計也可以適應這種變化。

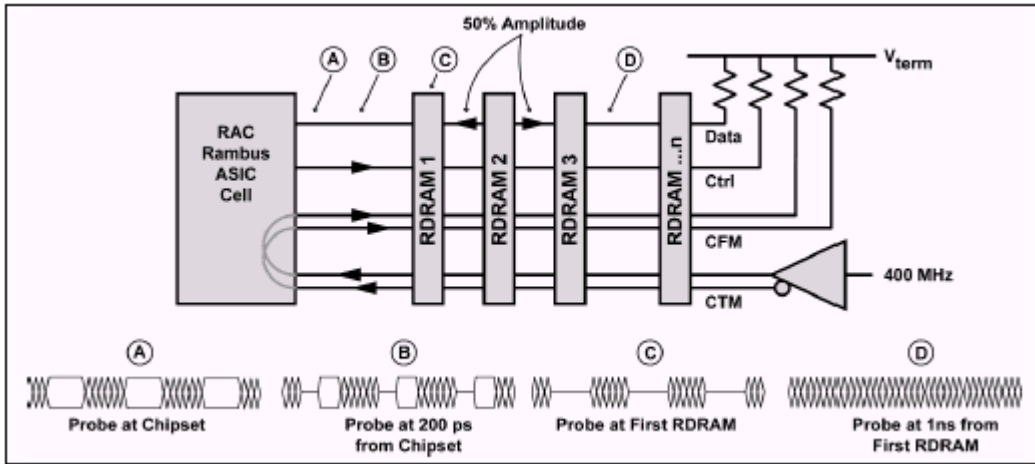


圖24：Rambus讀DATA訊號的狀態

在RAC端的訊號會遇到高阻抗，此時會發生反射。RAC它自己的連接點上，反射波差不多與入射波同相，所以實際上在該點得到的訊號振幅是兩倍，因此RAC可以接收到全振幅的DATA脈衝。

可是當探測DATA線的全程時(離開 RAC)，兩個訊號的相位差相對增加，於是反射便會開始抵消更多的DATA訊號，當DATA脈衝不斷受衰減，最後會變成無法識別其狀態。從RAC輸入後，資料的有效保證範圍僅僅只有400ps，從匯流排端點開始的非常短距離之內它便會被衰減到完全沒有(英寸的一小部份)。

因為DATA是不可能直接分享從RDRAM到RDRAM，這種特性在一般Rambus的操作上並不是問題。讀取DATA，即使是指定從一個RDRAM到它最近的鄰居，都必須先回到RAC上，而且這個點上的訊號仍然是有用的形式。所有通過RAC驅動器的資訊都會分離出寫DATA的操作。事實上，這個緩衝器在整個執行和送出寫DATA過程中都是適當地終端路徑。

注意到控制訊號，它是終結在相同路徑上，沒有表現出反射的問題，因為它總是由RAC所驅動。如寫DATA訊號，這些由RAC所驅動的其他訊號，不管探測那裏都是相同。時脈，它是差動的和終結不同地，並不表現出反射的問題。

若以一般用電壓為臨界點的擷取技術，則目前並沒有有效的解決方案可直接觀察Rambus讀取DATA訊號。

連接：多接腳而快速的連接方式

所有重點都是強調在Rambus的”速度和供給”，它很容易看出機械的外觀當欲連接多通道探棒到密集的邏輯裝置和電路板。實際上，在協定分析時的連接是一個很大的問題所在。以Rambus電路而言，挑戰是由必要的終結、阻抗及訊號品質需求所組成，若沒有注意這些需求則可能產生不定或無效的結果。

一些邏輯分析儀結構上需要使用者個別地連接許多極小的探棒尖端到一個很大外部預先處理器所特別準備的測試腳，除此之外這個方法的時間耗費也是令人討厭的，而且發生連接不良的機率很高。即使只有兩個探棒接反了，也許儀器設備仍然可以觸發，但是資料卻是完全與預定的不同，這種連接不良是不引人注意的，因為在正常操作下，觸發仍然可以發生，然而擷取回來的資料將是錯誤與無效—並且容易令人迷惑。

比較乾淨俐落的Rambus探接方法是利用RIMM探棒轉接器結構，它是特別的介面板可在Rambus通道中代替標準的RIMM模組，如圖25所示。它可直接放入RIMM插座中，提供跟實際RIMM模組相同可靠的匯流排連接，在此匯流排終結、阻抗、傳輸路徑是未受到妨礙的，而且該轉接器的”作用”就像是真正操作中的RIMM，於是資料監測和擷取結果都在條件之內非常接近實際的Rambus操作。

在邏輯分析儀這端的探棒轉接器，儀器的連接是經由高密度的頭端與同軸電纜排線所組成，以防止連接不良或是意外的分離狀況發生。

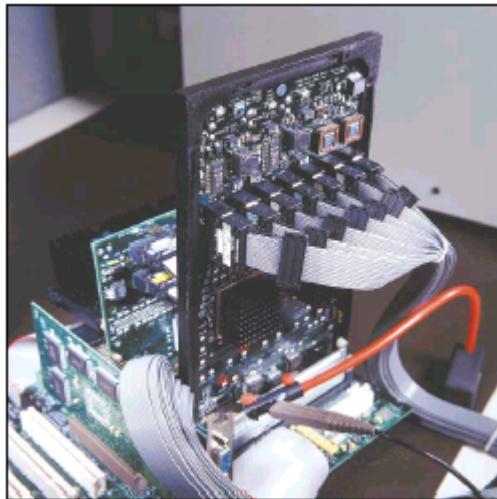


圖25：Rambus 探棒轉接器

重要地，探棒轉接器能提供本地的緩衝及非序列化Rambus協定封包讓它容易描述，在速度和有效地取樣Rambus協定訊號是頻率除以8(不是資料頻寬)，結果訊號送至邏輯分析儀是1/8快，但有8次寬的取樣訊號。

整合儀器不見得比單機設備要好

時常必須觀察微細的訊號細節在單獨的邏輯分析儀範圍之外，邏輯分析儀可以發現徵兆—讀或寫的錯誤，例如，無法確定何以會造成時序的錯誤。快速的邊緣轉態和暫態現象使用高速的示波器可得最佳的擷取訊號。3GHz即時擷取性能發展中之科技的目前進步水準示波器可輕易的找出錯誤所在，但是示波器的觸發介面，通常受限於4個輸入和簡單的二進制組合，所以並不能完全滿足對Rambus通道中複雜資料組合的反應。

針對這個問題的解決方案是使用邏輯分析儀結合Rambus探棒轉接器，根據協定和寫入的資料去偵測發生的特定複雜邏輯的事件。在目前，最頂級的邏輯分析儀可以同時擷取達680個輸入通道—提供足夠Rambus通道量測所需的資料量！使用特別設計的內部觸發狀態機，邏輯分析儀可評估多重同時存在的布林代數(Boolean)或”If-Then-Else”條件或指定的事件，例如記憶體讀取操作超過16種可能的執行動作。在匯流排發生觸發的同時，尚可觸發適當配備的示波器同時擷取訊號，這種過程是已知的透過觸發作時間對齊(Time-Correlated)。一些高速示波器，例如Tektronix TDS 694C便具有與邏輯分析儀做同步交互觸發的能力，可以藉由邏輯分析儀簡單化的協定和擷取資料觸發，同時觸發外部的示波器作擷取訊號動作。

為確認時序或特性量測，統計分析是必需的，這也是示波器的功能之一。即使觸發由邏輯分析儀產生，示波器仍然可以產生在Rambus通道中對特定邏輯事件之脈波邊緣和寬度關係的統計直條圖(Histograms)。

由高速的邏輯分析儀和同等能力的示波器組合是最佳的工具，對驗證在Rambus通道中短時脈衝波(glitches)和”類比”問題所造成的間歇性故障。這個組合另外有支援的重要性、可靠性和QA測試在訊號品質驗證在功能的條件範圍之中。

摘要：Rambus協定量測

在Rambus電路中執行功能的除錯與確認程序，工程師必須面對複雜的挑戰如時脈速率和連接。協定分析工具(邏輯分析儀)是設計用來了解複雜、封包化的Rambus匯流排操作是否有效，這些設備提供頻寬和訊號非序列化的需求去擷取Rambus資料並顯示成有意義的格式。當與高速



的示波器配對，這些工具能揭示訊號動作的最小細節。完整的套件應包括進階的探接和連接解決方案，所以現代的邏輯分析儀是Rambus設計量測的基礎工具。

Copyright © 1999, Tektronix, Inc. All rights reserved. Tektronix products are covered by U.S. and foreign patents, issued and pending. Information in this publication supersedes that in all previously published material. Specification and price change privileges reserved. TEKTRONIX and TED are registered trademarks of Tektronix, Inc. All other trade names referenced are the service marks, trademarks or registered trademarks of their respective companies.

10/99 TD/XBS 49W-13152-0